

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-282274

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 T 11/20

// G 0 6 T 5/00

9385-5L

G 0 6 F 15/ 72

3 5 5 K

15/ 68

3 1 0 J

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平6-65932

(22) 出願日 平成6年(1994)4月4日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 加藤 義幸

神奈川県鎌倉市大船五丁目1番1号 三菱

電機株式会社情報システム研究所内

(72) 発明者 亀山 正俊

神奈川県鎌倉市大船五丁目1番1号 三菱

電機株式会社情報システム研究所内

(74) 代理人 弁理士 吉田 研二 (外2名)

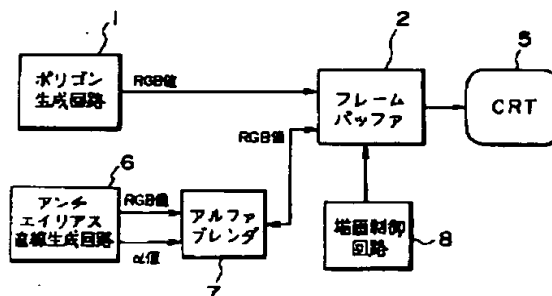
(54) 【発明の名称】 グラフィック表示装置

(57) 【要約】

【目的】 ポリゴン画像を複数生成することなく、アンチエイリアスされたポリゴン、およびテクスチャポリゴンを、高速で描画することを可能にする。

【構成】 エイリアスつきの2次元ポリゴンの生成を行うポリゴン生成回路1と、アンチエイリアスされたポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成回路6と、フレームバッファ2と、エッジピクセルとフレームバッファ2の画像データに半透明処理を加えるアルファブレンダ7と、フレームバッファ2上でポリゴン生成回路1からの2次元ポリゴンにエッジピクセルを重ね合わせ、アンチエイリアス描画を行わせる描画制御回路8を備え、ポリゴン生成回路1によりエイリアスつきの2次元ポリゴンをフレームバッファ2に描画し、ポリゴンの辺のみをアンチエイリアス直線生成回路6によりフレームバッファ2に描画することにより、アンチエイリアス描画を実現している。

実施例1



1

【特許請求の範囲】

【請求項1】 エイリアス付きの2次元ポリゴンの生成を行うポリゴン生成手段と、アンチエイリアスされたポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成手段と、画像データを格納するためのフレームバッファと、前記アンチエイリアス直線生成手段で生成されるエッジピクセルと前記フレームバッファの画像データに半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記ポリゴン生成手段からの2次元ポリゴンにエッジピクセルを重ね合わせ、エイリアス付きの2次元ポリゴンの描画と、2次元ポリゴンのエッジのアンチエイリアス描画を行わせる制御手段と、を備えることを特徴とするグラフィック表示装置。

【請求項2】 エイリアス付きの3次元ポリゴンの生成を行うポリゴン生成手段と、アンチエイリアスされた3次元ポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成手段と、画像データを格納するためのフレームバッファと、奥行き情報を格納するための奥行きバッファと、前記アンチエイリアス直線生成手段で生成されるエッジピクセルと前記フレームバッファの画像データに半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記ポリゴン生成手段からの3次元ポリゴンにエッジピクセルを重ね合わせ、エイリアス付きの3次元ポリゴンの描画を行わせ、一方3次元ポリゴンのエッジを前記奥行きバッファの奥行き情報を更新せずにアンチエイリアス描画させる制御手段と、を備えることを特徴とするグラフィック表示装置。

【請求項3】 エイリアス付きのテクスチャマップポリゴンの生成を行うポリゴン生成手段と、アンチエイリアスされたテクスチャマップポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成手段と、前記ポリゴン生成手段および前記アンチエイリアス直線生成手段からのテクスチャアドレスからテクスチャマッピングのための画像データを生成するテクスチャ生成手段と、画像データを格納するためのフレームバッファと、奥行き情報を格納するための奥行きバッファと、前記アンチエイリアス直線生成手段で生成されるエッジピクセルと前記フレームバッファの画像データに半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記テクスチャ生成手段からのテクスチャポリゴンにエッジピクセルを重ね合わせ、エイリアス付きのテクスチャポリゴンの描画を行わせ、一方テクスチャポリゴンのエッジを奥行きバッファの奥行き情報を更新せずにアンチエイリアス描画させる制御手段と、を備えることを特徴とするグラフィック表示装置。

【請求項4】 エイリアス付きのポリゴンの生成を行うポリゴン生成手段と、座標情報からなる直線データを出力する直線生成手段と、前記直線生成手段からの直線データに基づいて、ピクセルの透明度を算出し、これを適正な透明度値に変換する透明度値生成手段と、アンチエ

2

イリアスされたポリゴンのエッジピクセルの生成を行うエッジピクセル生成手段と、画像データを格納するためのフレームバッファと、前記エッジピクセル生成手段で生成されるエッジピクセルと前記フレームバッファの画像データに、前記透明度値生成手段の出力に基づく半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記ポリゴン生成手段からのポリゴンにエッジピクセルを重ね合わせ、エイリアス付きのポリゴンの描画と、ポリゴンのエッジのアンチエイリアス描画を行わせる制御手段と、を備えることを特徴とするグラフィック表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はグラフィック表示装置に係り、特に、2次元ポリゴンや3次元ポリゴンのエッジの部分に発生するギザギザであるエイリアスや、テクスチャマップされたポリゴンのエッジ部分に発生するギザギザであるエイリアスなど、を除去して、2次元ポリゴンおよび3次元ポリゴンや、テクスチャマップされたポリゴンを、スムーズで高品質に、しかも高速で表示するためのアンチエイリアス描画方式に関する。

【0002】

【従来の技術】従来から、2次元や3次元ポリゴンのアンチエイリアス描画を行うための方式としては、アキュムレーションバッファを用いたマルチパスレンダリング法が知られている。このアキュムレーションバッファによるマルチパスレンダリング法は、文献「The Accumulation Buffer Hardware Support for High Quality Rendering」(Silicon Graphics社:Paul Haeberli および Kurt Akeley著:Computer Graphics 1990)や、文献「マルチパスレンダリング法を用いた高速画像生成手法」(日立製作所:川端敦 他2名著:情報処理学会研究報告1992)などに紹介されている。

【0003】図8は、かかる従来のマルチパスレンダリング法を実現するための、グラフィック表示装置のブロック図である。図において、1は3次元ポリゴンを生成するためのポリゴン生成回路、2は画像データを格納するためのフレームバッファ、3は奥行き情報を格納するためのZバッファ、4は画像データの演算と演算結果の格納を行うアキュムレーションバッファ、5は表示を行うCRTである。

【0004】以上述べたような構成において、次に、その動作を説明する。

【0005】ポリゴン生成回路1は、3次元ポリゴンのRGB値とZ値を生成し、生成されたZ値とZバッファ3のZ値の間で、Z比較を行い、RGB値をフレームバッファ2に書き込む。

3

【0006】一般に、Z比較とは、隠面消去を行うための処理であり、生成されたZ値がZバッファ3のZ値よりも小さい場合に、Zバッファ3の内容を新しいZ値に更新すると共に、その時のRGB値をフレームバッファ2に書き込む。一方、生成されたZ値がZバッファ3のZ値より大きい場合は、Zバッファ3の更新は行わず、またRGB値のフレームバッファ2への書き込みも行わない。

【0007】次に、ポリゴン生成回路1は、同一なポリゴンの頂点データを1ピクセル以下の幅で上下左右に動かして、ポリゴンを生成し、フレームバッファ2に書き込む。そして、ずらして描画されたフレームバッファ2の画像データは毎回アキュムレーションバッファ4のデータに画素単位で加算される。アキュムレーションバッファ4に格納された最終データは、画素単位に描画回数で除算された後、フレームバッファ2に書き戻され、アンチエイリアスされた最終画像となる。

【0008】

【発明が解決しようとする課題】従来のグラフィック表示装置は、以上のように構成されていたので、アキュムレーションバッファ4を用いたマルチパスレンダリング法では、1ピクセル以下の幅でずらした画像を複数生成しなければならないという問題点がある。例えば、ピクセルを3×3のサブピクセルのグリッドに分割した場合、座標をずらした同一の画像を9回生成しなければならない。したがって、エイリアスつき画像を生成する時間の9倍の時間が必要となる。さらに、フレームバッファ2とアキュムレーションバッファ4の間のデータ転送および加算に要する時間を含めると、更に表示速度が低下すると考えられ、リアルタイムに表示することはほとんど不可能であった。また、アキュムレーションバッファ4は、フレームバッファ2の画像データが順次加算されるため、フレームバッファ2よりもビット数の大きな大容量メモリにする必要があり、ハードウェアで構成する場合には、構成が非常に大規模になってしまうという問題点がある。

【0009】この発明は、上記のような従来技術の問題点を解消し、ポリゴン画像を複数生成することなく、アンチエイリアスされたポリゴン、およびテクスチャポリゴンを、高速で描画することを可能としたグラフィック表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

手段1. 上記目的を達成するために、この発明は、請求項1に記載のグラフィック表示装置として、エイリアスつきの2次元ポリゴンの生成を行うポリゴン生成手段と、アンチエイリアスされたポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成手段と、画像データを格納するためのフレームバッファと、前記アンチエイリアス直線生成手段で生成されるエッジピクセルと

4

前記フレームバッファの画像データに半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記ポリゴン生成手段からの2次元ポリゴンにエッジピクセルを重ね合わせ、エイリアスつきの2次元ポリゴンの描画と、2次元ポリゴンのエッジのアンチエイリアス描画を行わせる制御手段と、を備えるグラフィック表示装置を提供するものである。

【0011】手段2. 上記目的を達成するために、この発明は、請求項2に記載のグラフィック表示装置として、エイリアスつきの3次元ポリゴンの生成を行うポリゴン生成手段と、アンチエイリアスされた3次元ポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成手段と、画像データを格納するためのフレームバッファと、奥行き情報を格納するための奥行きバッファと、前記アンチエイリアス直線生成手段で生成されるエッジピクセルと前記フレームバッファの画像データに半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記ポリゴン生成手段からの3次元ポリゴンにエッジピクセルを重ね合わせ、エイリアスつきの3次元ポリゴンの描画を行わせ、一方3次元ポリゴンのエッジを前記奥行きバッファの奥行き情報を更新せずにアンチエイリアス描画させる制御手段と、を備えるグラフィック表示装置を提供するものである。

【0012】手段3. 上記目的を達成するために、この発明は、請求項3に記載のグラフィック表示装置として、エイリアスつきのテクスチャマップポリゴンの生成を行うポリゴン生成手段と、アンチエイリアスされたテクスチャマップポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成手段と、前記ポリゴン生成手段および前記アンチエイリアス直線生成手段からのテクスチャアドレスからテクスチャマッピングのための画像データを生成するテクスチャ生成手段と、画像データを格納するためのフレームバッファと、奥行き情報を格納するための奥行きバッファと、前記アンチエイリアス直線生成手段で生成されるエッジピクセルと前記フレームバッファの画像データに半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記テクスチャ生成手段からのテクスチャポリゴンにエッジピクセルを重ね合わせ、エイリアスつきのテクスチャポリゴンの描画を行わせ、一方テクスチャポリゴンのエッジを奥行きバッファの奥行き情報を更新せずにアンチエイリアス描画させる制御手段と、を備えるグラフィック表示装置を提供するものである。

【0013】手段4. 上記目的を達成するために、この発明は、請求項4に記載のグラフィック表示装置として、エイリアスつきのポリゴンの生成を行うポリゴン生成手段と、座標情報からなる直線データを出力する直線生成手段と、前記直線生成手段からの直線データに基づいて、ピクセルの透明度を算出し、これを適正な透明度値に変換する透明度値生成手段と、アンチエイリアスさ

れたポリゴンのエッジピクセルの生成を行うエッジピクセル生成手段と、画像データを格納するためのフレームバッファと、前記エッジピクセル生成手段で生成されるエッジピクセルと前記フレームバッファの画像データに、前記透明度値生成手段の出力に基づく半透明処理を加えるブレンダ手段と、前記フレームバッファ上で前記ポリゴン生成手段からのポリゴンにエッジピクセルを重ね合わせ、エイリアスつきのポリゴンの描画と、ポリゴンのエッジのアンチエイリアス描画を行わせる制御手段と、を備えるグラフィック表示装置を提供するものである。

【0014】

【作用】

作用1. 上記手段において、この発明の請求項1に記載のグラフィック表示装置は、2次元グラフィックスにおいて、ポリゴン生成手段によりエイリアスつきの2次元ポリゴンをフレームバッファに描画し、ポリゴンの辺のみをアンチエイリアス直線生成手段によりフレームバッファに描画することにより、2次元ポリゴンのアンチエイリアス描画を実現している。

【0015】作用2. 上記手段において、この発明の請求項2に記載のグラフィック表示装置は、3次元グラフィックスにおいて、ポリゴン生成手段によりエイリアスつきの3次元ポリゴンをフレームバッファに描画し、ポリゴンの辺のみをアンチエイリアス直線生成手段によりフレームバッファに描画することにより、3次元ポリゴンのアンチエイリアス描画を実現している。

【0016】作用3. 上記手段において、この発明の請求項3に記載のグラフィック表示装置は、テクスチャマッピングを行う2次元や3次元グラフィックスにおいて、テクスチャポリゴン生成手段によるエイリアスつきのテクスチャマップポリゴンの描画と、アンチエイリアス直線生成手段によるテクスチャマップポリゴンの辺のアンチエイリアス直線の描画を行うことにより、テクスチャマップポリゴンのアンチエイリアス描画を実現している。

【0017】作用4. 上記手段において、この発明の請求項4に記載のグラフィック表示装置は、透明度値生成手段において直線生成手段からの直線データに基づいて、ピクセルの透明度を算出し、これを適正な透明度値に変換してブレンダ手段に与え、エッジピクセル生成手段で生成されるエッジピクセルとフレームバッファの画像データに、ブレンダ手段を通じて半透明処理を加え、結果として、フレームバッファ上でポリゴン生成手段からのポリゴンにエッジピクセルを重ね合わせ、エイリアスつきのポリゴンの描画と、ポリゴンのエッジのアンチエイリアス描画を行わせている。

【0018】

【実施例】以下、図面を参照しながら、この発明の実施例を説明する。

【0019】実施例1. 図1は、この発明の実施例1のグラフィック表示装置のブロック図である。図において、6はアンチエイリアスされたポリゴンのエッジピクセルの生成を行うアンチエイリアス直線生成回路、7はアンチエイリアス直線生成回路6からのデータとフレームバッファ2からのデータを半透明処理するアルファブレンダ、8はフレームバッファ2へのピクセルの書き込み制御を行う描画制御回路である。ちなみに、ポリゴン生成回路1はエイリアスつきの2次元ポリゴンの生成を行うように構成される。

【0020】以上述べたような構成において、次に、その動作を説明する。

【0021】図1の構成は、2次元ポリゴンのアンチエイリアス描画方式を実現するためのものであり、まず、ポリゴン生成回路1はポリゴンを構成する左エッジと右エッジをデジタル微分解析機（以下、DDAと称する）を使って求め、左エッジと右エッジではさまれたピクセルの座標、RGB値をスキャンライン方向に順次生成する。

【0022】ここで生成されたピクセルのRGB値はフレームバッファ2に書き込まれる。フレームバッファ2への書き込み制御は描画制御回路8により行う。

【0023】一方、アンチエイリアス直線生成回路6はポリゴン生成回路1で生成されたものと同一のポリゴンの辺をアンチエイリアス直線で描画するために、アンチエイリアスされた辺の座標、RGB値、透明度（以下、アルファ値と称する）を生成する。

【0024】アンチエイリアス直線生成回路6で生成されたピクセルのRGB値は、アルファブレンダ7により、フレームバッファ2のデータと半透明処理され、フレームバッファ2に書き込まれる。ここで、書き込みの制御は、描画制御回路8により行う。

【0025】最後に、フレームバッファ2に書き込まれたアンチエイリアスポリゴンの画像がCRT5に表示される。

【0026】この実施例1によれば、2次元グラフィックスにおいて、ポリゴン生成回路1によりエイリアスつきの2次元ポリゴンの描画と、アンチエイリアス直線生成回路6による2次元ポリゴンの辺のアンチエイリアス直線の描画を行うことにより、2次元ポリゴンのアンチエイリアス描画を実現することができる。

【0027】そして、この方式は、処理が非常に単純であるため、極めて高速での2次元アンチエイリアス描画を可能にすると共に、ハードウェア化も容易である。

【0028】また、ポリゴンが隣接する場合にも、隣接する境界部に輝度の異なるピクセルが発生することがないので、ポリゴンが隣接する場合にも有効に適用できる。

【0029】以上のように、この実施例では、ポリゴン生成回路1により生成したエイリアスつきの2次元ポリ

ゴンをフレームバッファ2に描画し、ポリゴンの辺のみをアンチエイリアス直線生成回路6により同一のフレームバッファ2に描画することにより、2次元ポリゴンのアンチエイリアス描画を高速で行うことができる。

【0030】実施例2. 図2は、この発明の実施例2のグラフィック表示装置のブロック図である。図において、9はエイリアス付きの3次元ポリゴンの生成を行う3次元ポリゴン生成回路であり、フレームバッファ2に対してRGB値を与えと共に、Zバッファ3、描画制御回路8に対してZ値を与える。なお、アンチエイリアス直線生成回路6もZ値を描画制御回路8に与えるように構成される。

【0031】以上述べたような構成において、次に、その動作を説明する。

【0032】図2の構成は、3次元ポリゴンのアンチエイリアス描画方式を実現するためのものであり、まず、3次元ポリゴン生成回路9はポリゴンを構成する左エッジを右エッジをDDAで求め、左エッジと右エッジではさまれたピクセルの座標、Z値、RGB値をスキャンライン方向に順次生成する。

【0033】ここで生成されたピクセルのZ値は、描画制御回路8の作用により、Zバッファ3のZ値と比較され、これよりも小さければ、生成されたピクセルのRGB値およびZ値がそれぞれフレームバッファ2およびZバッファ3に書き込まれる。一方、3次元ポリゴン生成回路9により生成されたZ値がZバッファ3の値より大きい場合は、フレームバッファ2およびZバッファ3への書き込みは行われない。

【0034】アンチエイリアス直線生成回路6は、3次元ポリゴン生成回路9で生成されたものと同一のポリゴンの辺をアンチエイリアス直線で描画するために、アンチエイリアスされた辺の座標、Z値、カラー値、アルファ値を生成する。ここで生成されたピクセルのZ値は、描画制御回路8の制御に基づき、Zバッファ3のZ値と比較される。この比較の結果、アンチエイリアス直線生成回路6からのZ値が、Zバッファ3のZ値よりも小さければ、生成されたピクセルのカラー値が、アルファブレンド7を介して半透明処理された上で、フレームバッファ2に対して書き込まれる。

【0035】ただし、この場合、Zバッファ3の更新は行わない。ここで、Zバッファ3の更新を行わないのは、ポリゴンが隣接する場合、その隣接部にアルファ値（輝度）の低いピクセルが残って、境目が発生してしまうのを防ぐためである。

【0036】一方、アンチエイリアス直線生成回路6により生成されたZ値が、Zバッファ3のZ値よりも大きい場合は、フレームバッファ2への書き込み処理は一切行われない。

【0037】そして、最後に、フレームバッファ2に書き込まれたアンチエイリアスポリゴンの画像がCRT5

に表示される。

【0038】この実施例2によれば、3次元グラフィックスにおいて、3次元ポリゴン生成回路9によりエイリアス付きの3次元ポリゴンの描画と、アンチエイリアス直線生成回路6による3次元ポリゴンの辺のアンチエイリアス直線の描画を行うことにより、3次元ポリゴンのアンチエイリアス描画を実現することができる。

【0039】そして、この方式は、処理が非常に単純であるため、極めて高速での3次元アンチエイリアス描画を可能にすると共に、ハードウェア化も容易である。

【0040】また、ポリゴンが隣接する場合にも、隣接する境界部に輝度の異なるピクセルが発生することがないので、ポリゴンが隣接する場合にも有効に適用できる。

【0041】以上のように、この実施例によれば、3次元ポリゴン生成回路9により生成したエイリアス付きの3次元ポリゴンをフレームバッファ2に描画し、ポリゴンの辺のみをアンチエイリアス直線生成回路6により同一のフレームバッファ2に描画することにより、3次元ポリゴンのアンチエイリアス描画を高速で行うことができる。

【0042】実施例3. 図3は、この発明の実施例3のグラフィック表示装置のブロック図である。図において、10はエイリアス付きのテクスチャポリゴンの生成を行ない、Z値とテクスチャアドレスを発生するテクスチャポリゴン生成回路、11はテクスチャポリゴン生成回路10およびアンチエイリアス直線生成回路6から出力されるテクスチャアドレスからテクスチャマップのためのRGB値を生成するテクスチャ生成回路である。ちなみに、アンチエイリアス直線生成回路6はアンチエイリアスされたテクスチャポリゴンのエッジピクセルの生成を行うように構成され、アルファ値、Z値およびテクスチャアドレスを発生する。

【0043】以上述べたような構成において、次にその動作を説明する。

【0044】図3の構成は、テクスチャポリゴンのアンチエイリアス描画方式を示すものであり、まず、テクスチャポリゴン生成回路10はポリゴンを構成する左エッジと右エッジをDDAで求め、左エッジと右エッジではさまれたピクセルの座標、Z値、RGB値をスキャンライン方向に順次生成する。

【0045】同時に、テクスチャマッピングを行うためのテクスチャアドレスの生成も行う。テクスチャ生成回路11は、テクスチャポリゴン生成回路10により生成されたテクスチャアドレスから、テクスチャマッピングのための変換処理を行い、テクスチャマップされたRGB値を生成する。

【0046】テクスチャポリゴン生成回路10により生成されたZ値は、描画制御回路8の制御に基づき、Zバッファ3のZ値と比較され、これがZバッファ3のZ値

よりも小さければ、テクスチャ生成回路11から出力されるRGB値がフレームバッファ2に書き込まれる。同時に、テクスチャポリゴン生成回路10により生成されたZ値がZバッファ3に書き込まれる。

【0047】一方、テクスチャポリゴン生成回路10により生成されたZ値が、Zバッファ3のZ値よりも大きい場合は、フレームバッファ2およびZバッファ3への書き込みは行われない。

【0048】アンチエイリアス直線生成回路6は、テクスチャポリゴン生成回路10で生成されたものと同一なポリゴンの辺をアンチエイリアス直線で描画するために、アンチエイリアスされた辺の座標、Z値、アルファ値、テクスチャアドレスを生成する。

【0049】テクスチャ生成回路11は、アンチエイリアス直線生成回路6により生成されたテクスチャアドレスから、テクスチャマッピングのための変換処理を行い、テクスチャマップされたRGB値を生成する。

【0050】アンチエイリアス直線生成回路6により生成されたZ値は、描画制御回路8の制御に基づき、Zバッファ3のZ値と比較され、この値がZバッファ3のZ値よりも小さければ、テクスチャ生成回路11により生成されたRGB値が、アルファブレンダ7により半透明処理されて、フレームバッファ2に書き込まれる。

【0051】ただし、この場合、Zバッファ3の更新は行わない。このように、Zバッファ3の更新を行わないのは、ポリゴンが隣接する場合に、その隣接部にアルファ値（輝度値）の低いピクセルが残って境界が発生してしまうのを防ぐためである。一方、アンチエイリアス直線生成回路6により生成されたZ値が、Zバッファ3のZ値よりも大きい場合は、フレームバッファ2およびZバッファ3への書き込み処理は一切行われない。

【0052】そして、最後に、フレームバッファ2に書き込まれたアンチエイリアスされたテクスチャポリゴンの画像がCRT5に表示される。

【0053】この実施例3によれば、テクスチャマッピングを行う2次元や3次元グラフィックスにおいて、テクスチャポリゴン生成回路10によるエイリアス付きのテクスチャマップポリゴンの描画と、アンチエイリアス直線生成回路6によるテクスチャマップポリゴンの辺のアンチエイリアス直線の描画を行うことにより、テクスチャマップポリゴンのアンチエイリアス描画を実現することができる。

【0054】そして、この方式は、処理が非常に単純であるため、極めて高速でのアンチエイリアス描画を可能にすると共に、ハードウェア化も容易である。

【0055】また、ポリゴンが隣接する場合にも、隣接する境界部に輝度の異なるピクセルが発生することがないので、ポリゴンが隣接する場合にも有効に適用できる。

【0056】以上のように、この実施例によれば、テク

スチャポリゴン生成回路10により生成したアンチエイリアスされたテクスチャポリゴンをフレームバッファ2に描画し、ポリゴンの辺のみをアンチエイリアス直線生成回路6により同一のフレームバッファ2に描画することにより、アンチエイリアスされたテクスチャポリゴンの描画を高速で行うことができる。

【0057】実施例4. 図4は、この発明の実施例4のグラフィック表示装置の部分ブロック図であり、特に、図1、図2、図3に示された構成において、アンチエイリアス直線生成回路6の構成例を示すものである。図において、12は直線生成を行い、そのX座標とY座標を発生するDDA回路、13はDDA回路12から出力されるX座標、Y座標から、ピクセルのアルファ値を算出するアルファ生成回路、14はアルファ生成回路13から出力されるアルファ値を、ガンマ補正などの適宜補正して、適正なアルファ値にするアルファ値変換回路、15はシェーディングのためのRGB値を生成し、RGB(Z)値を出力するRGB補間回路、16はテクスチャマップ時のテクスチャアドレスを生成するテクスチャアドレス生成回路である。

【0058】以上述べたような構成において、次にその動作を説明する。

【0059】まず、DDA回路12は、左エッジと右エッジではさまれたピクセルの座標を計算し、これをX座標とY座標という形で出力する。これに対して、アルファ生成回路13は、DDA回路12からのピクセルのX座標とY座標からピクセルのアルファ値を算出する。そして、アルファ値変換回路14はアルファ生成回路13からのアルファ値を、ガンマ補正などにより、適正アルファ値に変換し、アルファ値として出力する。

【0060】一方、RGB補間回路15は、シェーディングのためのRGB値を生成する。また、テクスチャアドレス生成回路16は、テクスチャマップ時のテクスチャアドレスを生成する。

【0061】以上のような動作の結果、アンチエイリアス直線生成回路6からは、完全に補正されたアルファ値と、補間処理されたRGB(Z)値と、テクスチャアドレスがそれぞれ出力される。

【0062】一方、図5は、図4の構成におけるアルファ生成回路13の構成を示すブロック図である。図において、20はDDA回路12から出力されるX座標の整数切り上げを行う切り上げ回路、21はDDA回路12から出力されるX座標の整数切り捨てを行う切り捨て回路、22はDDA回路12から出力されるY座標の整数切り上げを行う切り上げ回路、23はDDA回路12から出力されるX座標の整数切り捨てを行う切り捨て回路である。また、24は、切り上げ回路20からのX座標より、DDA回路12からのX座標を減算する減算回路、25は、DDA回路12からのY座標より、DDA回路12よりのX座標を減算する減算回路である。一

方、26は、切り上げ回路22からのY座標より、DDA回路12からのY座標を減算する減算回路、27は、DDA回路12からのY座標より、DDA回路12よりのY座標を減算する減算回路である。そして、28は、減算回路24から出力されるX差分値と、減算回路26から出力されるY差分値との切替を行う選択回路、29は、減算回路25から出力されるX差分値と、減算回路27から出力されるY差分値との切替を行う選択回路である。また、18は、選択回路28から出力される差分値を変換して、適正なアルファ値 αT に変換するルックアップテーブル、19は選択回路29から出力される差分値を変換して、適正なアルファ値 αS に変換するルックアップテーブルである。一方、17は、DDA回路12からの信号に基づき、直線の傾きが45度以上であるかを判定して、選択回路28、29に選択信号SELを出力する角度判定回路である。

【0063】以上述べたような構成において、次にその動作を、図6の説明図にしたがって説明する。ちなみに、図6は、真の直線と、ピクセル中心までのY方向またはX方向の距離を示すものであり、実線の四角形が1画素を示している。

【0064】DDA回路12からは、予め設定された始点座標と、終点座標から、XおよびYを1つ変化させた時の増分を求め、各ステップに基づいて増分計算を行い、XおよびYの座標を固定小数点で生成する。

【0065】ここで、角度判定回路17による角度判定に基づき、第1象限における直線の傾きが、45度以下の時は、Yの増分計算を行い、傾きが45度以上の時は、Xの増分計算を行う。

【0066】以下、傾きが45度以下の場合について説明する。

【0067】DDA回路12で生成されたY座標は、切り上げ回路22により整数切り上げ処理が行われ、切り捨て回路23により整数切り捨て処理が行われる。

【0068】減算回路26は、切り上げ回路22から出力されるY座標より、DDA回路12から出力されるY座標を、減算して、上方のピクセル、つまり図6において、 T_i で示されるピクセルの中心から、真の直線までのY方向の距離 ΔT を算出する。

【0069】一方、減算回路27は、DDA回路12から出力されるY座標より、切り捨て回路23から出力されるY座標を、減算して、真の直線から、下方のピクセル、つまり図6において、 S_i で示されるピクセルの中心までのY方向の距離 ΔS を算出する。

【0070】減算回路26、27から出力される差分データは、それぞれ選択回路28、29に与えられるが、ここでは、傾きが45度以下であるので、角度判定回路17からの選択信号SELにより、減算回路26、27からの差分データが選択され、それぞれルックアップテーブル18、19に与えられる。

【0071】ルックアップテーブル18、19は、入力された差分データにガンマ補正などの輝度変調をかけて、最終的なアルファ値である、 αT 、 αS を生成する。

【0072】なお、傾きが45度より大きな場合は、X座標のデータが同様に処理され、結果として、最終的なアルファ値が求められることになる。

【0073】このようにして、エイリアス付きのポリゴンとアンチエイリアスされたポリゴンの辺を別々に描画することにより、2次元や3次元ポリゴンのアンチエイリアス描画を行うことができる。その結果、図7の説明図に示すように、同図(A)のスキャンコンバージョンにより発生したアンチエイリアスポリゴンと、同図

(B)のアンチエイリアスエッジつまり、アンチエイリアスされた辺を重ね合わせることで、最終的に、同図(C)に示すようなアンチエイリアスポリゴンを得ることができる。

【0074】しかも、この方式によれば、ポリゴンが隣接する場合においても、ポリゴンどうしの境界にカラー値や輝度値の異なるピクセルが発生することもない。

【0075】以上のように、DDA回路12から出力される値からアルファ値を求めることができるので、アルファ値の算出に必要な処理は、固定小数点の加減算と、ガンマ補正などを行うルックアップテーブルの参照に限られるので、高速に処理することが可能になる。

【0076】

【発明の効果】この発明のグラフィック表示装置は、ポリゴン生成回路により生成したエイリアス付きのポリゴンと、アンチエイリアス直線生成回路で生成したポリゴンの辺を重ねて描画するようにしたので、ポリゴンのアンチエイリアス描画を高速で行うことができ、しかも隣接するポリゴンの境界にカラー値や輝度値の異なるピクセルが発生するのを防止でき、更にハードウェアで構成するのに適した処理方式がとれるという効果がある。

【0077】また、この発明によれば、3次元グラフィックスにおいてポリゴン生成手段によるエイリアス付き3次元ポリゴンの描画と、アンチエイリアス直線生成手段による3次元ポリゴンの辺のアンチエイリアス直線の描画を行なうことにより、3次元ポリゴンのアンチエイリアス描画を実現することができる。この方式は処理が非常に単純であるので、従来の方式に比較して極めて高速に3次元アンチエイリアス描画を実現することができると同時にH/W化することも非常に容易である。さらに、この方式はポリゴンが隣接する場合にも隣接する境界部に輝度の異なるピクセルが発生することがないので、ポリゴンが隣接する場合にも有効である。

【0078】またこの発明によれば、テストチャマピングを行なう2次元及び3次元グラフィックスにおいてポリゴン生成手段によるエイリアス付きテストチャマッピング・ポリゴンの描画と、アンチエイリアス直線製成手段によ

るテクスチャマップ・ポリゴンの辺のアンチエイリアス直線の描画を行なうことにより、テクスチャマップ・ポリゴンのアンチエイリアシング描画を実現することができる。この方式は処理が非常に単純であるので、従来の方式に比較して極めて高速にアンチエイリアス描画を実現することができると同時にH/W化することも非常に容易である。さらに、この方式はポリゴンが隣接する場合にも隣接する境界部に輝度の異なるピクセルが発生することがないので、ポリゴンが隣接する場合にも有効である。

【0079】またこの発明によれば、DDA回路から出力される値からアルファ値を求めることができ、アルファ値の算出に必要な処理は固定小数点の加減算とガンマ補正などを行なうルックアップテーブルの処理となるので、高速に処理することが可能である。

【図面の簡単な説明】

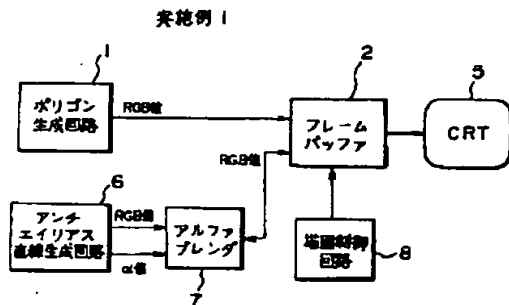
【図1】 この発明の実施例1のグラフィック表示装置のブロック図である。

【図2】 この発明の実施例2のグラフィック表示装置のブロック図である。

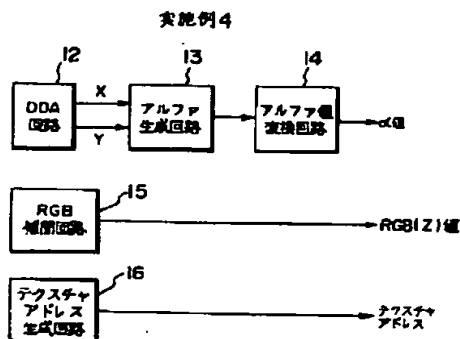
【図3】 この発明の実施例3のグラフィック表示装置のブロック図である。

【図4】 この発明の実施例4のグラフィック表示装置*

【図1】



【図4】



*の部分ブロック図である。

【図5】 図4の構成のアルファ生成回路の詳細を示すブロック図である。

【図6】 図5の構成の作用の説明図である。

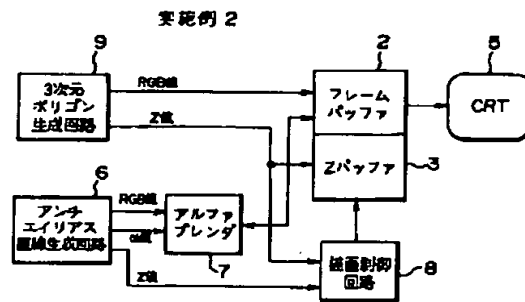
【図7】 エイリアスポリゴンとアンチエイリアスエッジを重ね合わせて、アンチエイリアスポリゴンを生成する方式の説明図である。

【図8】 従来のグラフィック表示装置のブロック図である。

10 【符号の説明】

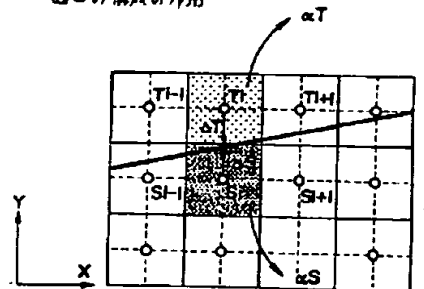
1 ポリゴン生成回路、2 フレームバッファ、3 Zバッファ、4 アキュムレーションバッファ、5 CRT、6 アンチエイリアス直線生成回路、7 アルファブレンダ、8 描画制御回路、9 3次元ポリゴン生成回路、10 テクスチャポリゴン生成回路、11 テクスチャ生成回路、12 DDA回路、13 アルファ生成回路、14 アルファ値変換回路、15 RGB補間回路、16 テクスチャアドレス生成回路、17 角度判定回路、18、19 ルックアップテーブル、20、22 切り上げ回路、21、23 切り捨て回路、24、25、26、27 減算回路、28、29 選択回路。

【図2】



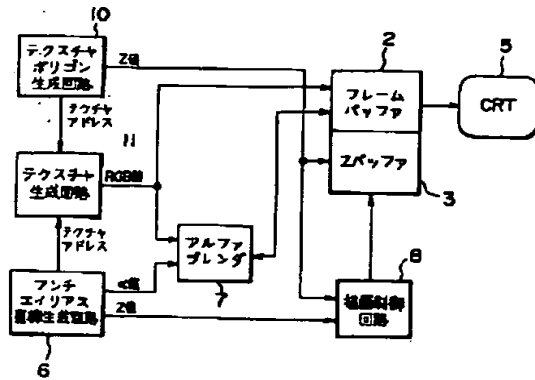
【図6】

図6の構成の作用



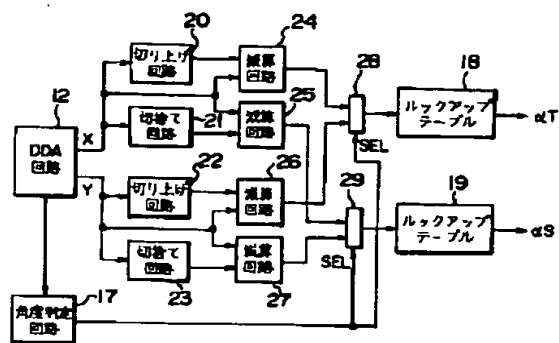
【図3】

実施例3

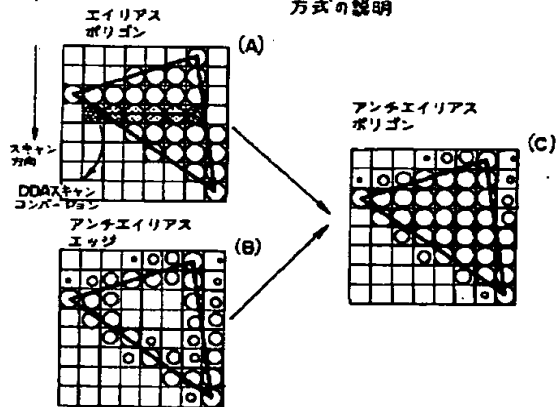


【図5】

図4のアルファ生成回路の詳細



【図7】

アンチエイリアスポリゴン生成する
方式の説明

【図8】

提案例

